

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027435

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

G11B 20/14

H03L 7/06

H04L 7/033

(21)Application number : 08-184428

(71)Applicant : SONY CORP

(22)Date of filing : 15.07.1996

(72)Inventor : FUJIMOTO KENSUKE

(54) REPRODUCING DEVICE AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To operate a digital PLL (phase locked loop) with a system clock.

SOLUTION: An A/D converter 2 outputs the value sampled in synchronization with the system clock from the reproduced signal read out from an optical disk 111 using a readout device 1 to an interpolation circuit 3.

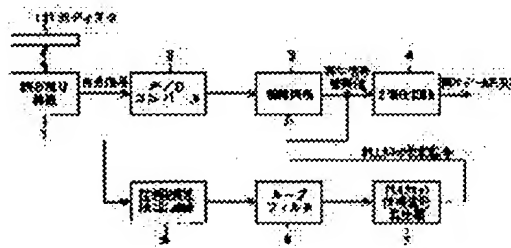
The circuit 3 calculates and outputs the value of the reproduced signal (interpolated value) at the time when the phase of a PLL clock phase signal from a PLL clock phase signal generator 7 is zero from the sampling value by linear interpolation. A binarizing circuit 4

binarizes the interpolated value to output to a

reproducing circuit in the later stage. A phase error

detecting circuit 5 detects the zero-cross of the

interpolated value and calculates the phase error signal in accordance with the time to output to the PLL clock phase signal generator 7 through a loop filter 6. The signal generator 7 generates a PLL clock phase signal corresponding to the phase error signal to supply to the interpolation circuit 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27435

(43) 公開日 平成10年(1998) 1 月27日

(51) Int.Cl. ⁸	識別記号	片内整理番号	P I	技術表示箇所
G 1 1 B 20/14	3 5 1	9433-5D	G 1 1 B 20/14	3 5 1 A
H 0 3 L 7/06			H 0 3 L 7/06	A
H 0 4 L 7/03			H 0 4 L 7/02	B

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平3-184428

(22) 出願日 平成 8 年(1996) 7 月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 藤本 健介

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

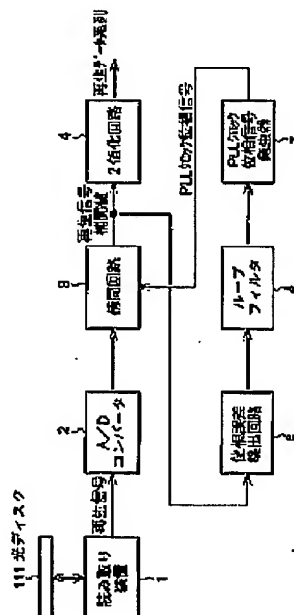
(74) 代理人 弁理士 船本 義雄

(54) 【発明の名称】 再生装置および方法

(57) 【要約】

【課題】 システムクロックで、デジタルPLLを動作させる。

【解決手段】 A/Dコンバータ2は、読み取り装置1で光ディスク11より読み出された再生信号から、システムクロックに同期してサンプリングされた値を縮間回路3に出力する。縮間回路3は、PLLクロック位相信号発生器7からのPLLクロック位相信号の位相がゼロであるときの再生信号の値(縮間値)を、サンプリング値より線形補間で算出し、出力する。2値化回路4は、その縮間値を2値化し、後段の再生回路に出力する。位相誤差検出回路5は、その縮間値のゼロクロスを検出し、その時刻に応じて位相誤差信号を算出し、ループフィルタ6を介してPLLクロック位相信号発生器7に出力する。PLLクロック位相信号発生器7は、位相誤差信号に対応したPLLクロック位相信号を生成し、縮間回路3に供給する。



(2)

特開平10-27435

1

【特許請求の範囲】

【請求項1】 所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における、前記所定の信号の補間値を算出する補間値算出部と、

前記補間値の位相誤差を算出する位相誤差算出部と、
前記位相誤差に応じてクロック周波数を調整しながら前記第2のクロック信号を生成するクロック信号生成部とを備える再生装置において、

前記補間値算出部は、第1の時刻および第2の時刻に連続してサンプリングされた2つの値から、前記第2のクロック信号の前記所定の位相に対応する第3の時刻における前記補間値を、線形補間で算出することを特徴とする再生装置。

【請求項2】 所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における、前記所定の信号の補間値を算出し、

前記補間値の位相誤差を算出し、
前記位相誤差に応じてクロック周波数を調整しながら前記第2のクロック信号を生成する再生方法において、
連続してサンプリングされた2つの値から、その2つの値がサンプリングされた第1の時刻および第2の時刻と、第2のクロック信号の前記所定の位相に対応する第3の時刻の関係に対応して、前記第3の時刻における前記補間値を、線形補間で算出することを特徴とする再生方法。

【請求項3】 所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における、前記所定の信号の補間値を算出する補間値算出部と、

前記補間値の位相誤差を算出する位相誤差算出部と、
前記第1のクロック信号に同期して、前記位相誤差に応じてクロック周波数を調整しながら前記第2のクロック信号を生成するクロック信号生成部とを備える再生装置において、

前記クロック信号生成部は、前回算出した前記第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を前記第2のクロック信号の値とし、その和が前記第2の定数より大きい場合は、その和から前記第2の定数を減算した値を前記第2のクロック信号の値とすることを特徴とする再生装置。

【請求項4】 所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における、前記所定の信号の補間値を算出し、

前記補間値の位相誤差を算出し、
前記第1のクロック信号に同期して、前記位相誤差に応じてクロック周波数を調整しながら前記第2のクロック

2

信号を生成する再生方法において、

前回算出した前記第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を前記第2のクロック信号の値とし、その和が前記第2の定数より大きい場合は、その和から前記第2の定数を減算した値を前記第2のクロック信号の値とすることを特徴とする再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、再生装置および方法に関し、特に、第1のクロック信号に同期して、位相誤差に応じてクロック周波数を調整しながら第2のクロック信号を生成し、所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における補間値を算出する再生装置および方法に関する。

【0002】

【従来の技術】コンパクトディスクなどに代表されるデジタルデータを保持する記録媒体が広く普及している。

【0003】このような記録媒体である光ディスク、光磁気ディスクなどに記録されているデジタルデータを再生する場合、ディスクから検出した信号よりクロック信号を抽出し、そのクロック信号に同期して、検出した信号からデジタルデータを再生する自己同期を利用することが多い。

【0004】このような自己同期においては、検出した信号からPLL（Phase Locked Loop）回路でクロック信号を抽出する。

【0005】図11は、アナログ方式のPLL回路を有する従来の再生装置の一構成例を示している。

【0006】読み取り装置101は、コンパクトディスクなどの光ディスク111にレーザ光を照射し、光ディスク111で反射したレーザ光（戻り光）を受光し、受光した戻り光の光量に対応する電気信号（再生信号）を波形整形器102に出力するようになされている。

【0007】波形整形器102は、読み取り装置101より供給された再生信号を2値化し、2値化した信号を、再生信号としてラッチ回路103およびアナログPLL回路104に出力するようになされている。

【0008】アナログPLL回路104は、波形整形器102より供給された再生信号からクロック信号を抽出し、その信号をラッチ回路103に出力するようになされている。この再生信号においては、所定のビット間隔Tの整数倍の間隔（光ディスク111に記録されているデータに対応する）で、その値（0または1）が変化する。従って、アナログPLL回路104は、この間隔から、ビット間隔Tを抽出し、このビット間隔Tに対応した周期のクロック信号を発生する。

【0009】このアナログPLL回路104において、位相比較器121は、波形整形器102より供給さ

(3)

特開平10-27435

3

れた再生信号と、高圧制御発振器（VCO）123により発振されたクロック信号（PLLクロック信号）との位相誤差を算出し、その位相誤差をループフィルタ122に出力し、ループフィルタ122は、位相比較器121より供給された位相誤差の不要な周波数帯域の成分（高周波成分）を除去した後、処理された位相誤差をVCO123に出力する。

【0010】VCO123は、ループフィルタ122より供給された信号の高圧値に応じて、波形整形器102より供給された再生信号に対する位相誤差がなくなるように、発振周波数を調整しながらクロック信号を発振し、そのクロック信号を位相比較器121およびラッチ回路103に出力する。

【0011】このようにして、アナログPLL回路104は、再生信号に同期したクロック信号を生成する。

【0012】ラッチ回路103は、アナログPLL回路104より供給されたクロック信号に同期して、波形整形回路102より供給された再生信号を、後段の再生回路（図示せず）に出力するようになされている。

【0013】しかしながら、アナログ回路であるPLL回路104は、環境変化、経時変化、部品のばらつきなどの影響を受けやすいという問題を有している。また、アナログ回路であるため、高集積化が困難であるという問題を有している。

【0014】そこで、そのような問題を解決する、デジタル化されたPLL回路が開発されている。

【0015】図12は、デジタルPLL回路の一例を示している。

【0016】デジタルPLL回路では、デジタル化された位相比較器141およびループフィルタ142が利用されるとともに、VCOの代わりに、可変周波数発振器（VFO）143が利用される。このVFO143は、ループフィルタ142を介して供給された位相誤差（デジタル値）に応じて、所定の周波数の発振信号に対して、パルスの付加または除去を行うことにより周波数を調整する。あるいは、VFO143は、ループフィルタ142を介して供給された位相誤差に応じて、発振周波数の異なる2つの内蔵する発振器を切り換えて使用し、発振周波数を調整する。

【0017】位相誤差に応じて滑らかに発振周波数を調整する場合、VFO143は、出力する信号の周波数に対して数倍の周波数の信号を、位相誤差に応じて発振周波数の調整を行いながら出力し、分周器144が、その信号を分周した後、出力信号（クロック信号）を位相比較器141に供給するとともに、後段の回路（図示せず）に出力している。

【0018】

【発明が解決しようとする課題】しかしながら、データの処理速度が遅い装置や高転送速度を有する装置においては、クロック信号の周波数が高く、そのクロック信号

4

の周波数のさらに数倍の周波数の信号を発振するVFOを実現することは困難であり、実現した場合においても、コストが高いという問題を有している。

【0019】あるいは、再生信号をA/D（アナログ/デジタル）変換して、デジタルデータとして所謂コンピュータに入力し、ソフトウェア的に仮想的なPLL動作を行うことも考えられるが、動作速度が遅いため、高速な処理を必要とする装置に利用することは困難である。

【0020】本発明は、このような状況に鑑みてなされたもので、第1のクロック信号に同期して、位相誤差に応じてクロック周波数を調整しながら第2のクロック信号を生成し、所定の信号を第1のクロック信号に同期してサンプリングして生成された値から、第2のクロック信号の所定の位相における補間値を算出するようにして、デジタル回路を利用して、再生信号を自己同期させることができるようにするものである。

【0021】

【課題を解決するための手段】請求項1に記載の再生装置は、第1の時刻および第2の時刻に連続してサンプリングされた2つの値から、第2のクロック信号の所定の位相に対応する第3の時刻における補間値を、線形補間で算出する補間値算出部を備えることを特徴とする。

【0022】請求項2に記載の再生方法は、連続してサンプリングされた2つの値から、その2つの値がサンプリングされた第1の時刻および第2の時刻と、第2のクロック信号の所定の位相に対応する第3の時刻の関係に対応して、第3の時刻における補間値を、線形補間で算出することを特徴とする。

【0023】請求項3に記載の再生装置は、前回算出した第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を第2のクロック信号の値とし、その和が第2の定数より大きい場合は、その和から第2の定数を減算した値を第2のクロック信号の値とするクロック信号生成部を備えることを特徴とする。

【0024】請求項4に記載の再生方法は、前回算出した第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を第2のクロック信号の値とし、その和が第2の定数より大きい場合は、その和から第2の定数を減算した値を第2のクロック信号の値とすることを特徴とする。

【0025】請求項1に記載の再生装置においては、補間値算出部は、第1の時刻および第2の時刻に連続してサンプリングされた2つの値から、第2のクロック信号の所定の位相に対応する第3の時刻における補間値を、線形補間で算出する。

【0026】請求項2に記載の再生方法においては、連続してサンプリングされた2つの値から、その2つの値がサンプリングされた第1の時刻および第2の時刻と、第2のクロック信号の所定の位相に対応する第3の時刻

(4)

特開平10-27435

5

の関係に対応して、第3の時刻における補間値を、線形補間で算出する。

【0027】請求項3に記載の再生装置においては、クロック信号生成部は、前回算出した第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を第2のクロック信号の値とし、その和が第2の定数より大きい場合は、その和から第2の定数を減算した値を第2のクロック信号の値とする。

【0028】請求項4に記載の再生方法においては、前回算出した第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を第2のクロック信号の値とし、その和が第2の定数より大きい場合は、その和から第2の定数を減算した値を第2のクロック信号の値とする。

【0029】

【発明の実施の形態】図1は、本発明の再生装置の一実施例の構成例を示している。

【0030】読み取り装置1は、コンパクトディスクなどの光ディスク111にレーザ光を照射し、光ディスク111で反射したレーザ光（戻り光）を受光し、受光した戻り光の光量に対応する電気信号（再生信号）をA/Dコンバータ2に出力するようになっている。

【0031】A/Dコンバータ2は、読み取り装置1より供給された再生信号から、システムクロック（第1のクロック信号）に同期してサンプリングした値（所定のビット数のデジタル値）を補間回路3（補間値算出部）に出力するようになっている。

【0032】補間回路3は、システムクロックで動作し、PLLクロック位相信号発生器7（クロック信号生成部）よりシステムクロックに同期して供給されたPLLクロック位相信号（第2のクロック信号）の値に応じて、PLLクロック位相信号の位相がゼロであるときの再生信号の値（補間値）を、A/Dコンバータ2より供給されたサンプリング値から線形補間で算出し、その補間値（所定のビット数のデジタル値）を2値化回路4および位相誤差検出回路5（位相誤差算出部）に出力するようになっている。

【0033】2値化回路4は、システムクロックで動作し、補間回路3より供給された再生信号の補間値を2値化し（「0」または「1」に変換し）、その2値化後のデータを後段の再生回路（図示せず）に出力するようになっている。

【0034】位相誤差検出回路5は、システムクロックで動作し、補間回路3より供給された補間値の、正から負、あるいは、負から正への変化（ゼロクロス）を検出し、そのゼロクロスの時刻に応じて位相誤差信号をループフィルタ6に出力するようになっている。

【0035】ループフィルタ6は、システムクロックで動作し、位相誤差検出回路5より供給された位相誤差信

6

号の高周波成分を抑制した後、PLLクロック位相信号発生器7に出力するようになっている。

【0036】PLLクロック位相信号発生器7は、システムクロックで動作し、ループフィルタ6より供給された位相誤差信号（高周波成分を抑制したもの）に対応して、正弦波であるPLLクロック位相信号を生成し、そのPLLクロック位相信号を補間回路3に供給するようになっている。

【0037】図2は、補間回路3の構成例を示している。遅延素子21は、A/Dコンバータ2により時刻 t_n にサンプリングされたサンプリング値 S_n を、次のシステムクロックまで保持し、次のシステムクロックで乗算器22に出力するようになっている。

【0038】乗算器22は、ゼロクロス検出回路28からイネーブル信号が供給されたとき、遅延素子21より供給された、時刻 t_{n-1} （時刻 t_n から1システムクロック前の時刻）のサンプリング値 S_{n-1} と、PLLクロック位相信号発生器7より供給されたPLLクロック位相信号の値 P_n の積（ $S_{n-1} \times P_n$ ）を算出し、その積を加算器23に出力するようになっている。

【0039】加算器（減算器）24は、PLLクロック位相信号発生器7より供給されたPLLクロック位相信号の値 P_n と定数A（第1の定数）（後述）の差（ $A - P_n$ ）を計算し、その計算結果を乗算器25に出力するようになっている。

【0040】乗算器25は、ゼロクロス検出回路28からイネーブル信号が供給されたとき、A/Dコンバータ2により時刻 t_n にサンプリングされたサンプリング値 S_n と、加算器24より供給された値（ $A - P_n$ ）の積（ $S_n \times (A - P_n)$ ）を算出し、その積を加算器23に出力するようになっている。

【0041】加算器23は、乗算器22より供給された値（ $S_{n-1} \times P_n$ ）と、乗算器25より供給された値（ $S_n \times (A - P_n)$ ）の和（ $S_{n-1} \times P_n + S_n \times (A - P_n)$ ）を計算し、その計算結果をラッチ回路26に出力するようになっている。

【0042】遅延素子27は、PLLクロック位相信号発生器7より供給された、時刻 t_n におけるPLLクロック位相信号Pの値 P_n を、次のシステムクロックまで保持し、次のシステムクロックでゼロクロス検出回路28に出力するようになっている。

【0043】ゼロクロス検出回路28は、遅延素子27より供給された、時刻 t_{n-1} のPLLクロック位相信号Pの値 P_{n-1} と、PLLクロック位相信号発生器7より供給された、時刻 t_n におけるPLLクロック位相信号Pの値 P_n の差（ $P_n - P_{n-1}$ ）を計算し、この差が負であるか否かを判断し、負であると判断した場合、PLLクロック位相信号にゼロクロスが発生した（PLLクロック位相信号Pの位相が、時刻 t_{n-1} 乃至時刻 t_n の間で一旦ゼロになった）と判断し、乗算器22、25および

(5)

特開平10-27435

7

ラッチ回路26にイネーブル信号を出力するようになされている。

【0044】ラッチ回路26は、記憶素子を内蔵し、ゼロクロス検出回路28によりイネーブル信号が供給されたとき、その記憶素子が記憶している値を、加算器23より供給された値で更新するとともに、記憶素子に記憶されている値を再生信号の補間値 L_{i-1} として、2値化回路4および位相誤差検出回路5に出力するようになされている。

【0045】図3は、位相誤差検出回路5の一構成例を示している。遅延素子41は、補間回路3より供給された補間値 L_{i-1} を、1システムクロックの期間だけ保持し、次のシステムクロックで位相誤差算出回路42およびゼロクロス検出回路43に出力するようになされている。

【0046】ゼロクロス検出回路43は、遅延素子41より供給された1システムクロック前の補間値 L_{i-1} と、補間回路3より供給された補間値 L_i から、再生信号の補間値にゼロクロスが発生したか否かを判断するようになされている。

【0047】ゼロクロス検出回路43は、 L_{i-1} が正であり、かつ、 L_i が負であるか否かを判断し、 L_{i-1} が正であり、かつ、 L_i が負であると判断した場合、補間値に立ち下りのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給するとともに、 L_{i-1} が負であり、かつ、 L_i が正であるか否かを判断し、 L_{i-1} が負であり、かつ、 L_i が正である場合、補間値に立ち上りのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給するようになされている。

【0048】位相誤差算出回路42は、ゼロクロス検出回路43より供給される信号に応じて、遅延素子41より供給された1システムクロック前の補間値 L_{i-1} と、補間回路3より供給された補間値 L_i から、位相誤差信号を算出し、ループフィルタ6に出力するようになされている。

【0049】位相誤差算出回路42は、立ち上りのゼロクロスに対応する信号が供給された場合、補間値 L_{i-1} と補間値 L_i の和 $(L_{i-1} + L_i)$ を計算し、その和を位相誤差信号として、ループフィルタ6に出力するようになされている。

【0050】位相誤差算出回路42は、立ち下りのゼロクロスに対応する信号が供給された場合、補間値 L_{i-1} と補間値 L_i の和に-1を乗じた値 $(-(L_{i-1} + L_i))$ を計算し、その値を位相誤差信号として、ループフィルタ6に出力するようになされている。

【0051】図4は、PLLクロック位相信号発生器7の一構成例を示している。位相レジスタ上限値算出回路61は、システムクロックに従って動作し、ループフィルタ6を介して供給された位相誤差信号の値に応じて、

8

PLLクロック位相レジスタ67に保持される値の上限値 X (第2の定数)を算出し、その上限値 X を加算器(減算器)62および比較器63に出力するようになされている。

【0052】定数発生回路64は、所定の定数 A を発生し、その信号を加算器65および補間回路3に出力するようになされている。

【0053】加算器65は、定数発生回路64より供給された定数 A と、PLLクロック位相信号 P_i の和 $(P_i + A)$ を計算し、その計算結果を加算器62、比較器63、および、切替回路66に出力するようになされている。

【0054】加算器62は、加算器65より供給された値 $(P_i + A)$ と、位相レジスタ上限値算出回路61より供給された上限値 X の差 $(P_i + A - X)$ を計算し、その計算結果を切替回路66に出力するようになされている。

【0055】比較器63は、加算器65より供給された値 $(P_i + A)$ と、位相レジスタ上限値算出回路61より供給された上限値 X の差 $(P_i + A - X)$ を計算するようになされている。

【0056】比較器63はまた、計算された値 $(P_i + A - X)$ が正であるか否かを判断し、計算された値 $(P_i + A - X)$ が正であると判断した場合(即ち、 $(P_i + A) > X$ である場合)、第1の制御信号を切替回路66に供給する。一方、計算された値 $(P_i + A - X)$ がゼロ以下であると判断した場合(即ち、 $(P_i + A) \leq X$ である場合)、第2の制御信号を切替回路66に供給するようになされている。

【0057】切替回路66は、第1の制御信号が供給された場合(即ち、 $(P_i + A) > X$ である場合)、加算器62より供給された値 $(P_i + A - X)$ をPLLクロック位相レジスタ67に出力し、第2の制御信号が供給された場合(即ち、 $(P_i + A) \leq X$ である場合)、加算器65より供給された値 $(P_i + A)$ をPLLクロック位相レジスタ67に出力するようになされている。

【0058】PLLクロック位相レジスタ67は、システムクロックに従って動作し、切替回路66より供給された値 $(P_i + A)$ または $(P_i + A - X)$ を、内蔵する記憶素子で記憶し、その値をPLLクロック位相信号の値 P_i として、加算器65および補間回路3に出力するようになされている。

【0059】以上のように、このPLLクロック位相信号発生器7は、システムクロックに従って動作し、PLLクロック位相信号 P_i の値を、1システムクロック毎に定数 A だけ増加していき、増加した値 $(P_i + A)$ が上限値 X を超える場合、その増加した値 $(P_i + A)$ から上限値 X を減算する $(P_i + A - X)$ 。

【0060】このようにして、図5に示すように、PLLクロック位相信号発生器7は、最大振幅が X であり、

(5)

特開平10-27435

9

傾きが $A/\Delta t$ (Δt はシステムクロックの周期)である正弦波のPLLクロック位相信号Pの、各システムクロックにおける値 P_i を算出する。

【0061】次に、本実施例におけるPLL動作について説明する。

【0062】最初に、位相誤差検出回路5において、ゼロクロス検出回路43は、1システムクロック前の再生信号の補間値 L_{i-1} と、補間値 L_i を受け取り、 L_{i-1} が負であり、かつ、 L_i が正であるかを判断し、 L_{i-1} が負であり、かつ、 L_i が正である場合、補間値に立ち上りのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給する。

【0063】立ち上りのゼロクロスに対応する信号が供給されると、位相誤差算出回路42は、1システムクロック前の補間値 L_{i-1} と補間値 L_i の和($L_{i-1} + L_i$)を計算し、その和を位相誤差信号として、ループフィルタ6に出力する。

【0064】図6(a)は、立ち上りのゼロクロスが検出されたときの補間値 L_{i-1} 、 L_i の値と位相誤差信号 $\Delta\theta$ の値の関係を示している。補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より大きい場合、 $\Delta\theta$ の値は、正となる。これに対して、補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より小さい場合、 $\Delta\theta$ の値は、負となる。

【0065】一方、ゼロクロス検出回路43は、 L_{i-1} が正であり、かつ、 L_i が負であるかを判断し、 L_{i-1} が正であり、かつ、 L_i が負であると判断した場合、補間値に立ち下りのゼロクロスが発生したと判断し、それに対応する信号を位相誤差算出回路42に供給する。

【0066】立ち下りのゼロクロスに対応する信号が供給されると、位相誤差算出回路42は、1システムクロック前の補間値 L_{i-1} と補間値 L_i の和に-1を乗じた値($-(L_{i-1} + L_i)$)を計算し、その値を位相誤差信号として、ループフィルタ6に出力する。

【0067】図6(b)は、立ち下りのゼロクロスが検出されたときの補間値 L_{i-1} 、 L_i の値と位相誤差信号 $\Delta\theta$ の値の関係を示している。補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より大きい場合、 $\Delta\theta$ の値は、正となる。一方、補間値 L_i の絶対値が、補間値 L_{i-1} の絶対値より小さい場合、 $\Delta\theta$ の値は、負となる。

【0068】なお、補間値 L_{i-1} および補間値 L_i が同符号である場合、ゼロクロスは発生していないので、ゼロクロス検出回路43は、位相誤差算出回路42に、特に何も出力しない。そして、位相誤差算出回路42は、ゼロクロス検出回路43によりゼロクロスに対応する信号が供給されなかった場合、位相誤差信号として、ゼロをループフィルタ6に出力する。

【0069】図6に示すように、立ち上りのゼロクロスおよび立ち下りのゼロクロスのいずれの場合におい

10

ても、時刻 t_{i-1} の補間値 L_{i-1} と時刻 t_i の補間値 L_i で線形補間した値が0になる時刻が、時刻 t_{i-1} と時刻 t_i の中間より小さい場合、ループフィルタ6に正の位相誤差信号が供給され、値が0になる時刻が、時刻 t_{i-1} と時刻 t_i の中間より大きい場合、ループフィルタ6に負の位相誤差信号が供給される。

【0070】なお、位相誤差検出回路5には、PLLクロック位相信号発生器7により生成されたPLLクロック位相信号は直接供給されないが、PLLクロック位相信号にゼロクロスが発生しないときは、位相誤差検出回路5に供給される再生信号の補間値が更新されないのて、位相誤差検出回路5は、位相誤差信号としてゼロをループフィルタに出力することになり、間接的に、PLLクロック位相信号を反映するように動作している。

【0071】次に、ループフィルタ6は、位相誤差信号の高周波成分を抑制し、PLLクロック位相信号発生器7に出力する。このようにして、ループフィルタ6は、PLLにおいて高域で位相が大きく遅れて正帰還がかからないようにするとともに、再生信号に含まれている符号間干渉の成分や雑音を低減させている。

【0072】そして、PLLクロック位相信号発生器7において、位相レジスタ上限値算出回路61は、ループフィルタ6を介して供給された位相誤差信号の値に応じて、PLLクロック位相レジスタ67に保持される値の上限値Xを算出し、その上限値Xを加算器(減算器)62および比較器63に出力する。

【0073】比較器63は、加算器65より供給された値($P_i + A$)と、位相レジスタ上限値算出回路61より供給された上限値Xとの差($P_i + A - X$)を計算し、値($P_i + A - X$)が正であるかを判断し、値($P_i + A - X$)が正であると判断した場合(即ち、 $P_i + A > X$ である場合)、切替回路66を制御し、加算器62により算出された値($P_i + A - X$)をPLLクロック位相レジスタ67に記憶させる。

【0074】一方、計算された値($P_i + A - X$)がゼロ以下であると判断した場合(即ち、 $P_i + A \leq X$ である場合)、比較器63は、切替回路66を制御し、加算器65により算出された値($P_i + A$)をPLLクロック位相レジスタ67に記憶させる。

【0075】PLLクロック位相レジスタ67は、切替回路66からの値を、内蔵する記憶素子において保持するとともに、その値をPLLクロック位相信号の値 P_i として補間回路3に出力する。

【0076】このようにして、PLLクロック位相信号発生器7は、図5に示すような正弦波であるPLLクロック位相信号Pの、各システムクロックにおける値 P_i を算出し、補間回路3に出力する。そして、PLLクロック位相信号発生器7は、上限値Xを位相誤差信号に応じて調整することにより、仮想的な正弦波であるPLLクロック位相信号Pの周波数を調整している。

50

(7)

特開平10-27435

11

【0077】次に、補間回路3は、時刻 t_{i-1} （第1の時刻）および時刻 t_i （第2の時刻）における、2つの連続するPLLクロック位相信号の値 P_{i-1} 、 P_i から、仮想的なPLLクロック位相信号 P の位相がゼロである（仮想的なPLLクロック位相信号の値が0である）（ゼロクロスが発生した）時刻（第3の時刻）を算出し、ゼロクロスが発生した時刻における再生信号の値を、A/Dコンバータ2からのサンプル値 S_{i-1} 、 S_i から線形補間で算出する。

【0078】仮想的なPLLクロック位相信号 P にゼロクロスが発生した時刻を t_c とすると、図7に示すように、PLLクロック位相信号 P （鋸波）の傾きが一定であるので、 $(t_i - t_c)$ と $(t_i - t_{i-1})$ の比 $((t_i - t_c) : (t_i - t_{i-1}))$ と、 P_i と $(A - P_i)$ の比 $(P_i : (A - P_i))$ は同一である。

【0079】また、サンプリング値 S_{i-1} 、 S_i から補間値 L_i を線形補間で算出するので、 $(t_i - t_c)$ と $(t_i - t_{i-1})$ の比 $((t_i - t_c) : (t_i - t_{i-1}))$ と、 $(S_i - L_i)$ と $(L_i - S_{i-1})$ の比 $((S_i - L_i) : (L_i - S_{i-1}))$ は同一である。

【0080】従って、 $(S_i - L_i)$ と $(L_i - S_{i-1})$ の比 $((S_i - L_i) : (L_i - S_{i-1}))$ と、 P_i と $(A - P_i)$ の比 $(P_i : (A - P_i))$ は、同一であり、次式で表すことができる。

$$(S_i - L_i) / (L_i - S_{i-1}) = P_i / (A - P_i)$$

【0081】この式を書き直すと、再生信号の補間値 L_i は、次のようになる。

$$L_i = (S_{i-1} \times P_i + S_i \times (A - P_i)) / A$$

【0082】補間回路3においては、この式の分子 $(S_{i-1} \times P_i + S_i \times (A - P_i))$ を、遅延素子21、乗算器22、加算器23、24、および乗算器25で算出する。

【0083】まず、ゼロクロス検出回路28は、1システムクロック前（時刻 t_{i-1} ）のPLLクロック位相信号 P_{i-1} と、時刻 t_i におけるPLLクロック位相信号 P_i の差 $(P_i - P_{i-1})$ を計算し、この差が負であるか否かを判断し、負であると判断した場合、PLLクロック位相信号にゼロクロスが発生したと判断し、乗算器22、25およびラッチ回路26にイネーブル信号を出力する。

【0084】ゼロクロス検出回路28からイネーブル信号が供給されると、乗算器22は、遅延素子21より供給されたサンプリング値 S_{i-1} と、PLLクロック位相信号の値 P_i の積 $(S_{i-1} \times P_i)$ を算出し、その積を加算器23に出力し、乗算器25は、A/Dコンバータ22より供給されたサンプリング値 S_i と、加算器24より供給された値 $(A - P_i)$ の積 $(S_i \times (A - P_i))$ を算出し、その積を加算器23に出力する。

【0085】加算器23は、乗算器22より供給された値 $(S_{i-1} \times P_i)$ と、乗算器25より供給された値 $(S_i \times (A - P_i))$ の和 $(S_{i-1} \times P_i + S_i \times (A - P_i))$ を計算し、その計算結果をラッチ回路26に出力する。

12

【0086】そして、ラッチ回路26は、加算器23より供給された値で、内蔵する記憶素子に保持している値を更新し、その値を補間値 L_i として、2値化回路4および位相誤差検出回路5に出力する。

【0087】図8は、ラッチ回路26より出力される補間値 L_i の一例を示している。時刻 t_{i-1} においてPLLクロック位相信号発生器7から供給されたPLLクロック位相信号 P の値 P_i （図中の×印）と時刻 t_{i-1} に供給された値 P_{i-1} に応じて、時刻 t_{i-1} 乃至時刻 t_i においてPLLクロック位相信号 P にゼロクロスが発生した場合、補間回路3は、補間値を更新し、時刻 t_{i-1} 乃至時刻 t_i においてPLLクロック位相信号 P にゼロクロスが発生しなかった場合は、補間値を更新しない。

【0088】このように、補間回路3は、値 $(S_{i-1} \times P_i + S_i \times (A - P_i))$ を補間値 L_i （ $L_i = (S_{i-1} \times P_i + S_i \times (A - P_i))$ ）として算出し、後段の2値化回路4および位相誤差検出回路5に出力する。そして、2値化回路4は、定数Aに対応するビット数だけ補間値 L_i をビットシフトさせることにより、本来の補間値 L_i （ $= L_i / A$ ）を算出し、その値に対して2値化処理を行うようにしている。

【0089】このようにすることにより、定数Aの計算を行う演算回路を設ける必要がなくなり、コストを低減することができる。

【0090】なお、PLLクロック位相信号にゼロクロスが発生しなかったと判断した場合、ゼロクロス検出回路28は、乗算器22、25およびラッチ回路26にイネーブル信号を出力しないので、ラッチ回路26は、1クロック前の補間値をそのまま出力する。2値化回路4は、ゼロクロス検出回路28からのイネーブル信号に同期して処理を行うので、ラッチ回路26が1クロック前の補間値をそのまま出力しても（即ち、2クロックの間、同じ値を出力しても）、同じ補間値を2度処理することはない。

【0091】以上のようにして、本実施例においては、位相誤差検出回路5は、再生信号の補間値のゼロクロスの、システムクロックの midpoint からのずれ（位相誤差）を検出し、PLLクロック位相信号発生器7は、そのずれに対応して、仮想的なPLLクロック位相信号 P の周波数を調整することで、補間値を算出するタイミング（ P の位相がゼロであるとき）を調整して、再生信号の補間値のゼロクロスを、システムクロックの midpoint に近づける。

【0092】このように再生信号の補間値のゼロクロスをシステムクロックの midpoint に近づけることにより、符号間干渉や雑音などに起因して再生信号の補間値のゼロクロスが多少ずれていても、2値化回路4により正確に2

(8)

特開平10-27435

13

値化処理を行うことができる。

【0093】なお、上記実施例においては、補間回路3などのPLLを構成する各回路は、すべて、システムクロックに同期して動作するので、高周波な処理を行う場合においても、システムクロックより高いクロック周波数で動作する回路を必要とせず、安価で装置を実現することができる。

【0094】次に、本発明の再生装置の他の実施例について説明する。

【0095】この実施例は、上述の実施例の補間回路3およびPLLクロック位相信号発生器7の構成を変更したものである。補間回路3およびPLLクロック位相信号発生器7だけの説明を行い、他の構成要素の説明は省略する。

【0096】図9は、本実施例のPLLクロック位相信号発生器7の一構成例を示している。このPLLクロック位相信号発生器7においては、遅延素子68は、比較器63からの出力を1システムクロックの期間だけ保持した後、その値をイネーブル信号として補間回路3および2値化回路4に出力するようになされている（時刻 t_1 乃至時刻 t_2 においてPLLクロック位相信号Pにゼロクロスが発生した場合、比較器63が、時刻 t_1 において $P_1 + A$ を演算すると、その値が上限値Xを超えるので、比較器63の出力を上述の実施例におけるイネーブル信号として利用することができる）。

【0097】なお、PLLクロック位相信号発生器7の他の構成要素は、上述の実施例と同様であるので、その説明を省略する。

【0098】図10は、本実施例の補間回路3の一構成例を示している。この補間回路3においては、上述の実施例の補間回路3の遅延素子27およびゼロクロス検出回路28により生成していたイネーブル信号の代わりに、PLLクロック位相信号発生器7より供給されたイネーブル信号を利用することにより、上述の実施例の遅延素子27およびゼロクロス検出回路28を不要としている。

【0099】なお、補間回路3の他の構成要素は、上述の実施例と同様であるので、その説明を省略する。

【0100】このようにすることにより、PLLクロック位相信号発生器7に遅延素子68が必要となるが、補間回路3の遅延素子27およびゼロクロス検出回路28を設ける必要がなくなるので、装置の部品数が少なくなるとともに、回路を簡単にすることができる。

【0101】なお、上記実施例の位相誤差検出回路5は、補間値のゼロクロスの時刻として線形補間で得られる値を利用しているが、より高次の補間を利用して得られるゼロクロスの時刻を利用してもよい。

【0102】

【発明の効果】以上のごとく、請求項1に記載の再生装置および請求項2に記載の再生方法によれば、連続して

14

サンプリングされた2つの値から、その2つの値がサンプリングされた第1の時刻および第2の時刻と、第2のクロック信号の所定の位相に対応する第3の時刻の関係に対応して、第3の時刻における補間値を、線形補間で算出するようにしたので、システムクロックより高いクロック周波数で動作する回路を必要とせずにデジタルPLLを実現することができる。

【0103】請求項3に記載の再生装置および請求項4に記載の再生方法によれば、前回算出した第2のクロック信号の値と、第1の定数との和を算出し、その和が第2の定数以下である場合は、その和を第2のクロック信号の値とし、その和が第2の定数より大きい場合は、その和から第2の定数を減算した値を第2のクロック信号の値とするようにしたので、PLLにおいて発振される仮想的なアナログのクロック信号をシステムクロックに同期した信号で表現することができる。また、第1の定数を所定の値（2のべき乗）に設定することにより、補正回路における除算回路を不要にすることができる。

【図面の簡単な説明】

【図1】本発明の再生装置の一実施例の構成を示すブロック図である。

【図2】図1の補間回路3の構成例を示すブロック図である。

【図3】図1の位相誤差検出回路5の構成例を示すブロック図である。

【図4】図1のPLLクロック位相信号発生器7の構成例を示すブロック図である。

【図5】PLLクロック位相信号Pの一例を示す図である。

【図6】再生信号の補間値 L_1, \dots, L_n と位相誤差 $\Delta\theta$ の関係を例を示す図である。

【図7】再生信号の補間値の算出について説明する図である。

【図8】再生信号の一例を示す図である。

【図9】本発明の他の実施例のPLLクロック位相信号発生器7の構成例を示すブロック図である。

【図10】本発明の他の実施例の補間回路3の構成例を示すブロック図である。

【図11】従来の再生装置の一構成例を示すブロック図である。

【図12】デジタルPLL回路の一構成例を示すブロック図である。

【符号の説明】

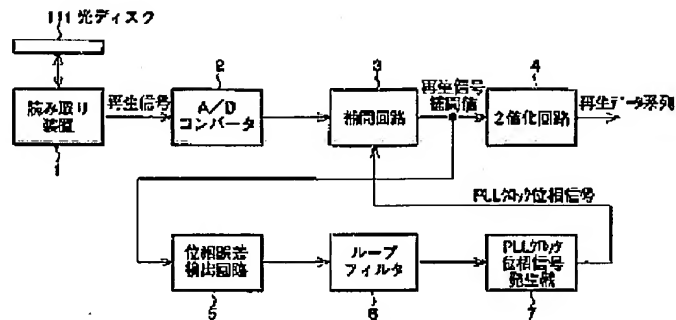
1 読み取り装置、2 A/Dコンバータ、3 補間回路、4 2値化回路、5 位相誤差検出回路、6 ループフィルタ、7 PLLクロック位相信号発生器、21 遅延素子、22 乗算器、23、24 加算器、25 除算器、26 ラッチ回路、27 遅延素子、28 ゼロクロス検出回路、41 遅延素子、42 位相誤差算出回路、43 ゼロ

特開平 10-27435

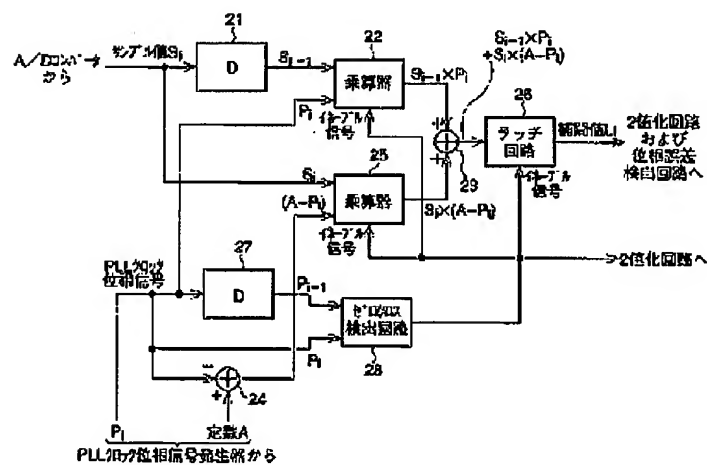
16

クロス検出回路、 61 位相レジスタ上販検出回 *生回路、 65 加算器、 66 切替回路、 67
路、 62 加算器、 63 比較器、 64 定数発* PLLクロック位相レジスタ

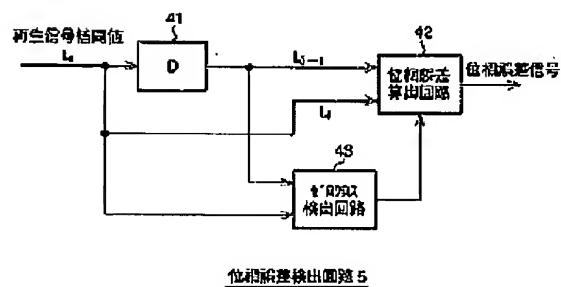
【图 1】



【圖2】



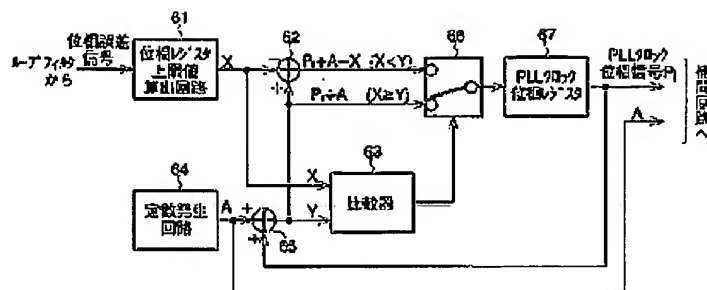
【圖3】



(10)

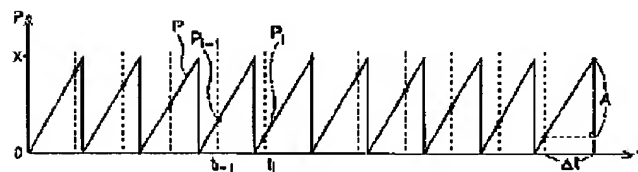
特開平 10-27435

【圖4】

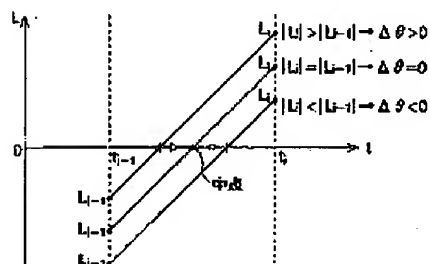


PLL 2072 逻辑信号发生器 7

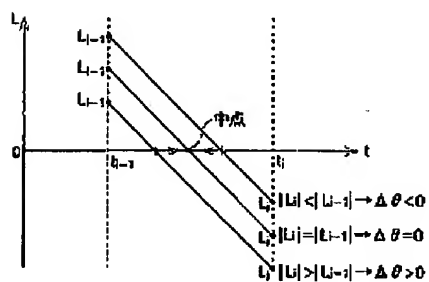
【図5】



【图6】

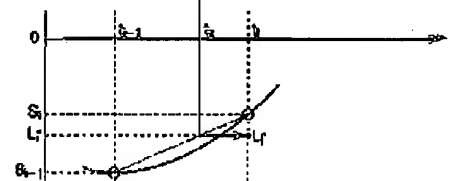
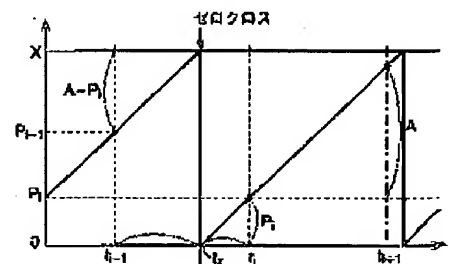


(a) 立ち上がりゼロクロス



(b) 立ち下がりゼロクロス

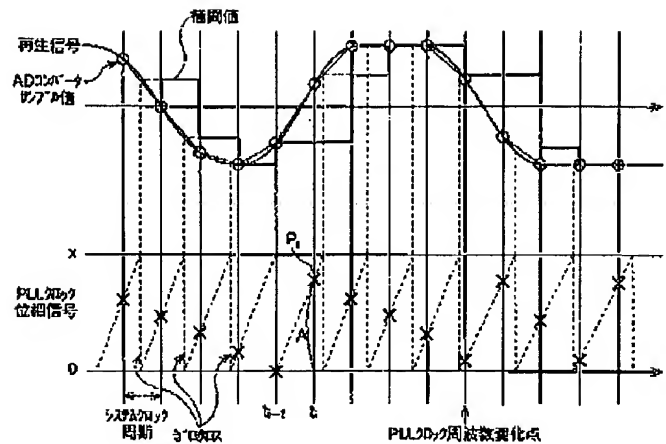
【圖 7】



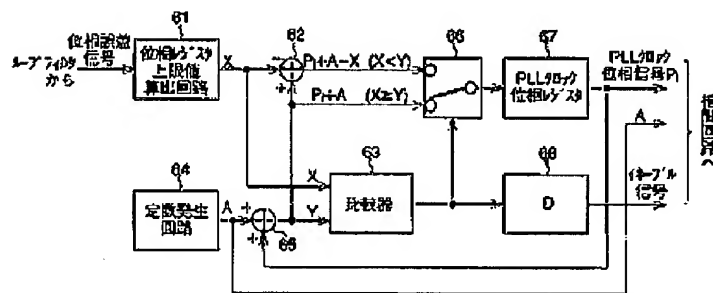
(11)

特開平 10-27435

【圖 8】

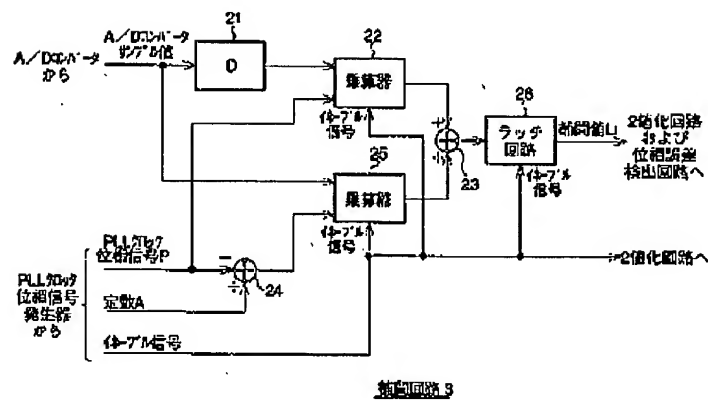


【图9】



PLL9027位相鎖回路生成器 7

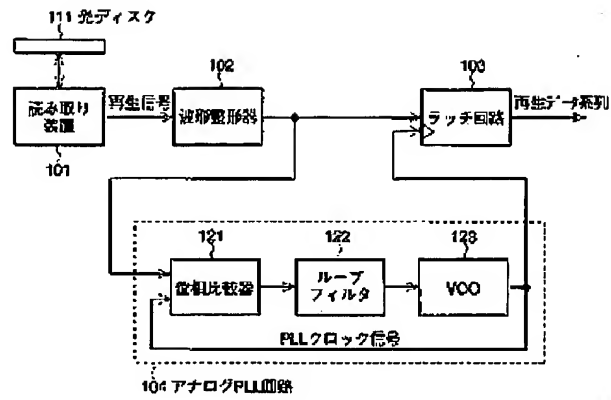
【圖 10】



(12)

特開平10-27435

【図11】



【図12】

